

**Voltage regulator**

Patent Number: ☐ US2002057079  
Publication date: 2002-05-16  
Inventor(s): HORIE MASAKIYO (JP)  
Applicant(s):  
Requested Patent: ☐ JP2002149245  
Application Number: US20010985355 20011102  
Priority Number(s): JP20000345393 20001113  
IPC Classification: G05F1/40  
EC Classification: G05F1/575  
Equivalents:

---

**Abstract**

---

A voltage detection circuit detects a regulator output voltage. A current detection circuit detects a regulator output current. A first amplifier circuit generates a voltage error signal in response to a command output voltage level indicative of a target value of the regulator output voltage, and in response to the detected regulator output voltage. A second amplifier circuit generates a current limiting signal in response to a command limit current level indicative of a limit value of the regulator output current, and in response to the detected regulator output current. A device controls the regulator output current in response to a control current. A first transistor provided in a flow path for the control current is driven in response to the voltage error signal. A second transistor provided in the flow path and connected in series with the first transistor is driven in response to the current limiting signal.

---

Data supplied from the **esp@cenet** database - I2



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-149245

(P2002-149245A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl.<sup>7</sup>

G 0 5 F 1/56

識別記号

3 2 0

F I

G 0 5 F 1/56

テーマコード(参考)

3 2 0 S 5 H 4 3 0

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21) 出願番号 特願2000-345393(P2000-345393)

(22) 出願日 平成12年11月13日 (2000.11.13)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 堀江 真清

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(74) 代理人 100071135

弁理士 佐藤 強

Fターム(参考) 5H430 BB01 BB05 BB09 BB11 BB12

EE03 EE07 EE17 FF04 FF08

FF13 GG08 HH03 JJ04 JJ07

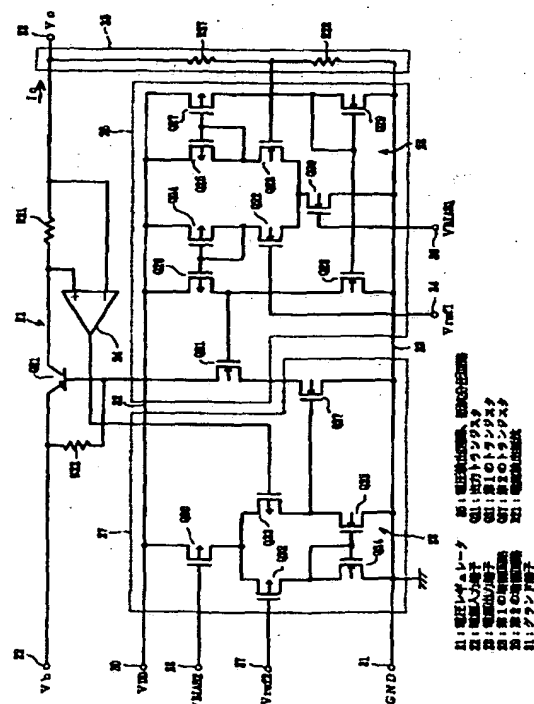
LA07

(54) 【発明の名称】 電圧レギュレータ

(57) 【要約】

【課題】 過負荷に対して定電流保護特性を有し、高い安定性と高い効率とを備えた電圧レギュレータを提供する。

【解決手段】 出力トランジスタQ21のベースと電源線33との間に、同じ導電型を持つトランジスタQ31とQ37とを直列に接続する。出力電流I<sub>o</sub>が基準電圧V<sub>ref2</sub>に対応した指令制限電流I<sub>1</sub>よりも小さい場合、トランジスタQ37は十分なオン状態となり、差動増幅回路28はトランジスタQ31を介して定電圧制御を行う。出力電流I<sub>o</sub>が指令制限電流I<sub>1</sub>を超えようとする時、差動増幅回路29はトランジスタQ37を介して出力電流I<sub>o</sub>を指令制限電流I<sub>1</sub>に定電流制御する。この時、トランジスタQ31は十分なオン状態となる。



## 【特許請求の範囲】

【請求項1】 電源入力端子に与えられる電圧を指令された電圧値に変換して電源出力端子から出力する電圧レギュレータにおいて、

出力電圧を検出する電圧検出回路と、

出力電流を検出する電流検出回路と、

前記出力電圧の目標値を示す指令出力電圧と前記電圧検出回路により検出された検出出力電圧とに基づいて電圧誤差信号を出力する第1の増幅回路と、

前記出力電流の制限値を示す指令制限電流と前記電流検出回路により検出された検出出力電流とに基づいて電流制限信号を出力する第2の増幅回路と、

前記出力電圧を制御するための制御電流が流れる通電経路に設けられ、前記電圧誤差信号に従って駆動される第1のトランジスタと、

前記通電経路において前記第1のトランジスタに対し直列に設けられ、前記電流制限信号に従って駆動される第2のトランジスタとを備えて構成されていることを特徴とする電圧レギュレータ。

【請求項2】 前記電源入力端子から前記電源出力端子への通電経路に出力トランジスタが設けられ、

前記第1および第2のトランジスタは、前記出力トランジスタのベース電流が流れる通電経路に設けられていることを特徴とする請求項1記載の電圧レギュレータ。

【請求項3】 前記電源入力端子から前記電源出力端子への通電経路に出力トランジスタが設けられるとともに、この出力トランジスタを駆動する駆動用トランジスタが設けられ、

前記第1および第2のトランジスタは、前記駆動用トランジスタのベース電流が流れる通電経路に設けられていることを特徴とする請求項1記載の電圧レギュレータ。

【請求項4】 前記電流検出回路は、前記出力トランジスタに対し直列に設けられた電流検出抵抗を備えて構成されていることを特徴とする請求項2または3記載の電圧レギュレータ。

【請求項5】 前記電源入力端子と前記電源出力端子との間に前記電流検出抵抗と前記出力トランジスタとが順に接続され、

前記第2の増幅回路は、差動増幅回路であって、前記指令制限電流に対応した基準電圧と前記電流検出抵抗により検出された電圧とが入力されるように構成されていることを特徴とする請求項4記載の電圧レギュレータ。

【請求項6】 電源入力端子に与えられる電圧を指令された電圧値に変換して電源出力端子から出力する電圧レギュレータにおいて、

出力電圧を検出する電圧検出回路と、

出力電流を検出する電流検出回路と、

前記出力電圧の目標値を示す指令出力電圧と前記電圧検出回路により検出された検出出力電圧とに基づいて電圧誤差信号を出力する第1の増幅回路と、

2

前記出力電流の制限値を示す指令制限電流と前記電流検出回路により検出された検出出力電流とに基づいて電流制限信号を出力する第2の増幅回路と、

前記電源入力端子から前記電源出力端子への通電経路に設けられ、前記電圧誤差信号に従って駆動される第1のトランジスタと、

前記通電経路において前記第1のトランジスタに対し直列に設けられ、前記電流制限信号に従って駆動される第2のトランジスタとを備えて構成されていることを特徴とする電圧レギュレータ。

【請求項7】 前記電流検出回路は、前記第1および第2のトランジスタに対し直列に設けられた電流検出抵抗を備えて構成されていることを特徴とする請求項6記載の電圧レギュレータ。

【請求項8】 前記電源入力端子と前記電源出力端子との間に前記電流検出抵抗と前記第2のトランジスタと前記第1のトランジスタとが順に直列に接続され、

前記第2の増幅回路は、差動増幅回路であって、前記指令制限電流に対応した基準電圧と前記電流検出抵抗により検出された電圧とが入力されるように構成されていることを特徴とする請求項7記載の電圧レギュレータ。

【請求項9】 前記電源入力端子とグランド端子との間に、前記基準電圧を生成するための抵抗分圧回路が接続されていることを特徴とする請求項5または8記載の電圧レギュレータ。

【請求項10】 前記電源入力端子に、前記基準電圧を生成するための定電圧回路が接続されていることを特徴とする請求項5または8記載の電圧レギュレータ。

【請求項11】 前記電圧検出回路は、前記電源出力端子とグランド端子との間に接続された抵抗分圧回路から構成され、

前記第1の増幅回路は、差動増幅回路であって、前記指令出力電圧に対応した基準電圧と前記抵抗分圧回路により検出された電圧とが入力されるように構成されていることを特徴とする請求項1ないし10の何れかに記載の電圧レギュレータ。

【請求項12】 前記第1および第2のトランジスタは、同じ導電型を有していることを特徴とする請求項1ないし11の何れかに記載の電圧レギュレータ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、過電流保護回路を備えた電圧レギュレータに関する。

【0002】

【従来の技術】電圧レギュレータに接続された負荷の抵抗値が低下するなどして過負荷状態が生じた場合、電圧レギュレータの出力電流が過大となって、電圧レギュレータや負荷が故障する虞がある。このような事態の発生を防止するため、一般に電圧レギュレータには過電流保護回路が付加されている。この過電流保護回路には、保

3

護動作中における出力電流と出力電圧との関係により、定電流型、低減型、電流遮断型などがある。定電流型は過負荷時に出力電流を定電流制御するもので、低減型は過負荷時に出力電流をフの字特性などに従って低減するもので、電流遮断型は過負荷時に出力電流を遮断するものである。

【0003】図10は、定電流型の過電流保護回路を備えた電圧レギュレータの電氣的構成を示している。この図10において、電圧レギュレータ1の電源入力端子2と電源出力端子3との間には出力トランジスタQ1が接  
10 続され、そのベースとグラウンド端子4との間にはトランジスタQ2が接続されている。差動増幅回路5は、抵抗R1、R2からなる分圧回路により検出された出力電圧と指令出力電圧に対応した基準電圧Vr1とを入力して出力電圧の誤差増幅を行うものである。また、差動増幅回路6は、抵抗R3および増幅回路7により検出された出力電流と指令制限電流に対応した基準電圧Vr2とを入力して出力電流の誤差増幅を行うものである。ここで、基準電圧Vr1、Vr2は、それぞれ入力端子8、9から入力されている。

【0004】この場合、差動増幅回路5および6は、それぞれ定電圧制御および定電流制御という互いに相反する制御を行う一方で、ともにトランジスタQ2のゲートに対し誤差増幅電圧を出力する構成となっている。そこで、これら差動増幅回路5、6の各出力端子とトランジスタQ2のゲートとの間にモード切替回路10を設け、このモード切替回路10により、定電圧制御モード（通常時）と定電流制御モード（過負荷時）とを切り替えるようになっている。

【0005】しかしながら、モード切替回路10は、出力電流が指令制限電流に近い場合であっても両制御モードの切り替えが安定して行われるように構成されていなければならない、その回路構成が複雑化してしまう。しかも、フィードバックループ内に複数のトランジスタからなるモード切替回路10が介在するために、モード切替回路10において位相の遅れが発生し、電圧レギュレータ1の安定性が低下するといった問題も生じる。

【0006】

【発明が解決しようとする課題】そこで、上記問題を回避するため、図11に示した電氣的構成を持つ電圧レ  
40 ギュレータ11が用いられる。この図11において、トランジスタQ3～Q8から構成されるオペアンプ12およびトランジスタQ9～Q14から構成されるオペアンプ13は、それぞれ図10における差動増幅回路5および6に対応するものである。そして、制御電源端子14とトランジスタQ1のベースとの間には、オペアンプ12内のトランジスタQ8とオペアンプ13内のトランジスタQ14とが並列に接続され、トランジスタQ2、Q7、Q13の各ベースには端子15を介してバイアス電圧VBSが与えられている。なお、図11において、オベ  
50

4

アンプ12、13の位相補償回路は省略されている。

【0007】この電圧レギュレータ11において、トランジスタQ2には、バイアス電圧VBSで決定される一定のドレイン電流が流れる。また、このトランジスタQ2のドレイン電流は、トランジスタQ1のベース電流、トランジスタQ8のドレイン電流およびトランジスタQ14のドレイン電流を加算した電流となる。従って、トランジスタQ8またはQ14のドレイン電流が増減すると、トランジスタQ1のベース電流はその増減電流分だけ変化する特性を示す。なお、バイアス電圧VBSは、トランジスタQ2のドレイン電流（一定値）がトランジスタQ1の駆動に必要なベース電流の最大値（以下、最大ベース電流と称す）以上となるように設定されている。

【0008】図12は、電圧レギュレータ11の負荷の抵抗値RLに対する出力電圧Vo、トランジスタQ2、Q8、Q14の各ドレイン電流ID、およびトランジスタQ8、Q14のゲートの電圧を示している。ここで、抵抗値R1は、（指令出力電圧／指令制限電流）により計算される値である。

20 【0009】抵抗値RLがR1より大きい場合、すなわち出力電流が指令制限電流よりも小さい場合には、差動増幅回路7の出力電圧は基準電圧Vr2よりも低くなるため、オペアンプ13のトランジスタQ14はオフ状態となる。この時、オペアンプ12は、抵抗R1、R2による分圧電圧が基準電圧Vr1と等しくなるようにトランジスタQ8のドレイン電流つまりトランジスタQ1のベース電流を制御する。その結果、電圧レギュレータ11は定電圧動作を行うようになる。

【0010】これに対し、抵抗値RLがR1より小さい場合、すなわち出力電流が指令制限電流を超えようとする過負荷状態の場合には、オペアンプ13は、差動増幅回路7の出力電圧が基準電圧Vr2と等しくなるようにトランジスタQ14のドレイン電流つまりトランジスタQ1のベース電流を制御する。その結果、トランジスタQ1に流れる出力電流が抑制され、電圧レギュレータ11は定電流動作を行うようになる。この時、オペアンプ13による定電流動作によって出力電圧は指令出力電圧よりも低くなるので、オペアンプ12のトランジスタQ8はオフ状態となる。

40 【0011】しかしながら、この電圧レギュレータ11においては、その負荷状態にかかわらず常にトランジスタQ2に最大ベース電流以上の電流を流し続ける必要がある。このため、特に出力電流が小さい場合、トランジスタQ2に流れる電流のほとんどは、制御電源端子14からトランジスタQ8、Q2を介してグラウンド端子4に流れることになり、この無駄な電流によって電圧レギュレータ11の効率が低下するという問題がある。

【0012】また、図示しないが、IC化された電圧レギュレータのように出力電流が比較的小さい場合には、  
50 電源入力端子2と電源出力端子3との間に、出力トラン

5

ジスタとして一定電流を流すトランジスタと、定電圧制御により電源出力端子3から不要な電流を引き抜くトランジスタと、定電流制御により電源出力端子3から不要な電流を引き抜くトランジスタとを備えた回路構成が用いられる場合もある。しかし、このような回路構成の電圧レギュレータであっても、上述の電圧レギュレータ11と同様に、定電圧制御または定電流制御する上で不要な電流が引き抜かれ無駄になるので効率が悪いという問題があった。

【0013】本発明は、上記事情に鑑みてなされたもので、その目的は、過負荷に対して定電流保護特性を有するものであって、高い安定性と高い効率とを兼ね備えた電圧レギュレータを提供することにある。

【0014】

【課題を解決するための手段】請求項1に記載した手段によれば、出力電圧を制御するための制御電流が流れる通電経路に第1のトランジスタと第2のトランジスタとが直列に接続され、それぞれのトランジスタが互いに独立して動作する。すなわち、過負荷状態でない場合、第1のトランジスタは、第1の増幅回路からの電圧誤差信号に従って、電圧レギュレータの出力電圧を指令出力電圧に一致させるように定電圧制御する。この時、出力電流は指令制限電流よりも小さいので、第2の増幅回路により制御される第2のトランジスタは十分なオン状態となり、上記定電圧制御を妨げることはない。

【0015】一方、過負荷状態となった場合、第2のトランジスタは、第2の増幅回路からの電流制限信号に従って、電圧レギュレータの出力電流を指令制限電流に一致させるように定電流制御する。この時、出力電圧は指令出力電圧よりも低下するので、第1の増幅回路により制御される第1のトランジスタは十分なオン状態となり、上記定電流制御を妨げることはない。

【0016】すなわち、本手段によれば、直列に接続された第1および第2のトランジスタは、互いに制御動作を妨げることなく上記制御電流を独立して制御することができるので、従来構成に存在した制御モードの切替回路（トランジスタを含んで構成される）が不要となり、安定性が向上する。また、制御電流が流れる通電経路に、指令出力電圧に等しい出力電圧あるいは指令制限電流に等しい出力電流を得るために必要且つ十分な電流のみが流れるので、無駄な電流が流れることがなく、従来構成のものに比べ効率を高めることができる。

【0017】請求項2に記載した手段によれば、出力電流を流し出す出力トランジスタのベース電流が、第1および第2のトランジスタによって制御されるので、この出力トランジスタの許容電流値に応じた比較的大きな出力電流を得られる。

【0018】請求項3に記載した手段によれば、出力電流を流し出す出力トランジスタに加え、その出力トランジスタを駆動するための駆動用トランジスタが設けられ

6

る。そして、その駆動用トランジスタのベース電流が、第1および第2のトランジスタによって制御されるので、請求項2に記載した手段よりも、一層大きな出力電流を得ることができる。また、所定の出力電流を得る場合に、第1および第2のトランジスタに流れる電流が小さくなるので、例えばIC内に作り込まれる第1および第2のトランジスタのトランジスタサイズを小さくできる。

【0019】請求項4に記載した手段によれば、電流検出抵抗の両端には出力電流に比例した電圧が生成されるので、その検出電圧に基づいて直接的にあるいは検出用増幅回路などを介して出力電流を検出することができる。

【0020】請求項5に記載した手段によれば、電流検出回路としての電流検出抵抗は、電源入力端子と出力トランジスタとの間に接続され、第2の増幅回路は差動増幅回路として構成されている。その結果、電流検出抵抗による検出電圧を直接的に（検出用増幅回路などを付加することなく）第2の増幅回路に入力することが可能となる。これにより、電流検出回路における位相遅れをなくすることができ、過負荷時における定電流制御の安定性を高めることができる。

【0021】請求項6に記載した手段によれば、出力電流を流し出すための出力トランジスタとして動作する第1のトランジスタと第2のトランジスタとが直列に接続される。請求項1に記載した手段と同様に、それぞれのトランジスタは、互いに制御動作を妨げることなく出力電圧または出力電流を独立して制御するので、制御モードの切替回路が不要となり安定性が向上する。また、電源入力端子から電源出力端子への通電経路に、出力電流のみが流れ無駄な電流が流れることがないので、従来構成のものに比べ効率を高めることができる。

【0022】請求項7に記載した手段によれば、電流検出抵抗の両端には出力電流に比例した電圧が生成されるので、その検出電圧に基づいて直接的にあるいは検出用増幅回路などを介して出力電流を検出することができる。

【0023】請求項8に記載した手段によれば、電流検出回路としての電流検出抵抗は、電源入力端子と定電流制御を行う第2のトランジスタとの間に接続され、第2の増幅回路は差動増幅回路として構成されている。その結果、電流検出抵抗と第2の増幅回路とは、ともに電源入力端子の電位を基準電位として機能することが可能となるので、請求項5に記載した手段と同様の作用および効果を得ることができる。

【0024】請求項9に記載した手段によれば、電源入力端子とグランド端子との間に指令制限電流に対応した基準電圧を生成するための抵抗分圧回路が接続されているので、その基準電圧は電源入力端子に与えられる電圧（入力電圧）に応じた電圧となる。一方、上述したよう

50

7

に検出抵抗には電源入力端子の電位を基準電位として出力電流に比例した電圧が生成される。従って、上記基準電圧としてグランド電位を基準とする一定電圧を用いる場合に比べ、上記入力電圧が変動した場合の指令制限電流の変動を抑制することができる。

【0025】請求項10に記載した手段によれば、定電圧回路は、電源入力端子の電位を基準電位として一定電圧を生成する一方、検出抵抗は電源入力端子の電位を基準電位として出力電流に比例した電圧を生成するので、入力電圧が変動しても指令制限電流を一定に保つことが  
10 できる。

【0026】請求項11に記載した手段によれば、第1の増幅回路は、指令出力電圧に対応した基準電圧と抵抗分圧回路により検出された出力電圧との差に応じた電圧誤差信号を出力する。

【0027】請求項12に記載した手段によれば、第1および第2のトランジスタは同じ導電型を有しているので、上述した各請求項に記載した手段において接続順序を指定した場合を除き、第1および第2のトランジスタ  
20 の接続順序を任意に設定できる。

【0028】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態について、図1ないし図4を参照しながら説明する。図1は、定電流型の過電流保護機能を備えた電圧レギュレータの電氣的構成を示している。この図1に示す電圧レギュレータ21は、例えばエンジンを制御する電子制御装置（ECU）内に設けられる電源ICとして構成されている。電源入力端子22と電源出力  
30 端子23との間には、PNP型の出力トランジスタQ21のエミッタ・コレクタ間と抵抗R21（電流検出抵抗に相当）とが直列に接続されている。

【0029】出力トランジスタQ21のエミッタ・ベース間には抵抗R22が接続され、抵抗R21の両端電圧は増幅回路24に入力されるようになっている。この増幅回路24は、上記抵抗R21とともに電流検出回路を構成するもので、図2に示すように差動増幅回路25と抵抗R23～R26とから構成されている。なお、出力トランジスタQ21および抵抗R21、R22は上記ICに内蔵せず外付けする構成としても良い。

【0030】電圧レギュレータ21は、出力トランジスタQ21を制御するために、オペアンプ26とオペアンプ27とを備えている。オペアンプ26は、トランジスタQ22～Q30からなる差動増幅回路28（第1の増幅回路に相当）と、この差動増幅回路28により制御されるトランジスタQ31（第1のトランジスタに相当）とから構成されている。また、オペアンプ27は、トランジスタQ32～Q36からなる差動増幅回路29（第2の増幅回路に相当）と、この差動増幅回路29により制御されるトランジスタQ37（第2のトランジスタに相当）とから構成されている。これらオペアンプ26、  
50

8

27は、正側、負側の電源端子30、31にそれぞれ接続された電源線32、33から電源電圧VDDの供給を得て動作するようになっている。なお、図1において、オペアンプ26、27の位相補償回路は省略されている。

【0031】本実施形態においては、トランジスタQ22～Q37はMOSトランジスタから構成されている。このうちトランジスタQ31とQ37とは同じ導電型（ここではNチャネル型）であって、出力トランジスタQ21のベースと電源線33との間（ベースライン）に直列に接続されている。

【0032】差動増幅回路28において、Nチャネル型のトランジスタQ22、Q23は差動対を構成している。ここで、トランジスタQ22のゲートは、指令出力電圧V1に相当する基準電圧Vref1が与えられる端子34に接続されている。また、電源出力端子23と電源端子31との間には、抵抗R27、R28の直列回路からなる分圧回路35（電圧検出回路および抵抗分圧回路に相当）が接続されており、上記トランジスタQ23のゲートは、この分圧回路35の分圧点に接続されている。

【0033】Nチャネル型のトランジスタQ28、Q29は、上記差動対に対する能動負荷を構成している。電源線32とトランジスタQ22、Q28との間には、それぞれPチャネル型のトランジスタQ24、Q26が接続され、電源線32とトランジスタQ23、Q29との間には、それぞれPチャネル型のトランジスタQ25、Q27が接続されている。これらトランジスタQ24、Q26およびトランジスタQ25、Q27は、それぞれカレントミラー回路を構成している。

【0034】また、トランジスタQ22、Q23の共通ソース線と電源線33との間には、Nチャネル型のトランジスタQ30が接続されており、このトランジスタQ30のゲートは、バイアス電圧VBIAS1が与えられる端子36に接続されている。上述のトランジスタQ31のゲートは、差動増幅回路28の出力ノードつまりトランジスタQ26とQ28の各ドレインの共通接続点に接続されている。

【0035】一方、差動増幅回路29において、Pチャネル型のトランジスタQ32、Q33は差動対を構成している。ここで、トランジスタQ32のゲートは、指令制限電流I1に相当する基準電圧Vref2が与えられる端子37に接続され、トランジスタQ33のゲートは、増幅回路24の出力端子に接続されている。

【0036】トランジスタQ32、Q33と電源線33との間には、それぞれ上記差動対に対する能動負荷を構成するNチャネル型のトランジスタQ34、Q35が接続され、電源線32とトランジスタQ32、Q33の共通ソース線との間には、Pチャネル型のトランジスタQ36が接続されている。このトランジスタQ36のゲートは、バイアス電圧VBIAS2が与えられる端子38に接続されている。上述のトランジスタQ37のゲートは、

9

差動増幅回路29の出力ノードつまりトランジスタQ33とQ35の各ドレインの共通接続点に接続されている。

【0037】次に、電圧レギュレータ21の動作について図3および図4も参照しながら説明する。電源入力端子22と電源端子31（グランド端子に相当）との間にバッテリー電圧Vb（例えば12V）を印加し、電源端子30と31との間に電源電圧VDD（例えば5V）を印加し、さらに端子34、36、37、38と電源端子31との間にそれぞれ所定の電圧を印加することにより、電

圧レギュレータ21が動作を開始する。

【0038】図3は、電圧レギュレータ21の出力電圧—出力電流特性を示している。ここで、縦軸は電源出力端子23における出力電圧Voを示し、横軸は電源出力端子23から出力される出力電流Ioを示している。出力電流Ioが基準電圧Vref2により指令される指令制限電流I1よりも小さい場合、電圧レギュレータ21は、出力電圧Voが基準電圧Vref1により指令される指令出力電圧V1（例えば5V）に等しくなるように定電圧制御を行う。また、電源出力端子23に接続された負荷の等価的な抵抗値RLが低下するなどして出力電流Ioが指令制限電流I1を超えようとする場合（過負荷状態の場合）、電圧レギュレータ21は、出力電流Ioが指令制限電流I1に等しくなるように定電流制御を行う。

【0039】図4は、負荷の抵抗値RLに対する出力電圧VoおよびトランジスタQ31、Q37のゲートの電圧を示している。この図4において、抵抗値R1は、

（指令出力電圧V1／指令制限電流I1）により計算される値である。以下、図4を参照しながら、電圧レギュレータ21の具体的な動作について説明する。

【0040】（1）RL>R1の場合  
電圧レギュレータ21の通常動作モードである。抵抗R21の両端子間には出力電流Ioに比例した電圧が発生

$$V_o = V_1 = V_{ref1} \times (R_{27} + R_{28}) / R_{28} \quad \dots (1)$$

【0043】（2）RL<R1の場合  
電圧レギュレータ21の過電流保護動作モードである。分圧回路35による出力電圧Voの検出電圧は基準電圧Vref1よりも低いので、差動増幅回路28においてトランジスタQ31のゲート電圧はそのしきい値電圧Vtよりも十分に高くなる（図4参照）。その結果、トランジスタQ31は線形領域で動作するようになり、そのドレイン・ソース間電圧は十分に低くなる。

【0044】一方、差動増幅回路29において、抵抗R21および増幅回路24により検出された出力電流Ioに比例する電圧（検出電圧）が基準電圧Vref2よりも高い場合、トランジスタQ37のゲート電圧が下がり、上記検出電圧が基準電圧Vref2よりも低い場合、トランジ

$$I_o = I_1 = V_{ref2} / (A_v \times R_{21}) \quad \dots (2)$$

【0046】また、出力電流Ioが指令制限電流I1に等しい場合（あるいは極めて近い場合）には、トランジ

10

し、この電圧は増幅回路24によって増幅されて検出電圧としてトランジスタQ33のゲートに与えられる。検出出力電流に相当する検出電圧は指令制限電流I1に対応する基準電圧Vref2よりも低いので、差動増幅回路29の出力電圧（電流制限信号に相当）つまりトランジスタQ37のゲート電圧が当該トランジスタQ37のしきい値電圧Vtよりも十分に高くなる（図4参照）。その結果、トランジスタQ37は線形領域で動作するようになり、そのドレイン・ソース間電圧は十分に低くなる。

【0041】一方、出力電圧Voは分圧回路35により検出され、その検出電圧はトランジスタQ23のゲートに与えられる。検出出力電圧に相当する検出電圧が指令出力電圧V1に対応する基準電圧Vref1よりも高い場合、差動増幅回路28の出力電圧（電圧誤差信号に相当）つまりトランジスタQ31のゲート電圧は上がり、検出電圧が基準電圧Vref1よりも低い場合、トランジスタQ31のゲート電圧は下がる。この場合、トランジスタQ31は飽和領域で動作する。

【0042】このように、出力トランジスタQ21のベースラインに直列に接続されたトランジスタQ31、Q37のうちトランジスタQ37は十分にオンした状態を保つため、出力トランジスタQ21のベース電流はトランジスタQ31により制御される。その結果、電圧レギュレータ21において、抵抗R21、増幅回路24、差動増幅回路29、トランジスタQ37およびQ21からなる電流フィードバックループによる定電流制御は実質的に機能せず、分圧回路35、差動増幅回路28、トランジスタQ31およびQ21からなる電圧フィードバックループによる定電圧制御だけが機能するようになる。これにより、電圧レギュレータ21の出力電圧Voは、以下の（1）式により計算される指令出力電圧V1に等しくなる。この（1）式において、R27、R28は、それぞれ抵抗R27、R28の抵抗値を表している。

スタQ37のゲート電圧が上がる。この場合、トランジスタQ37は飽和領域で動作する。

【0045】その結果、出力トランジスタQ21のベース電流はトランジスタQ37により制御され、電圧レギュレータ21において電圧フィードバックループによる定電圧制御が機能を停止し、電流フィードバックループによる定電流制御だけが機能するようになる。これにより、電圧レギュレータ21の出力電流Ioは、以下の（2）式により計算される指令制限電流I1に等しくなる。この（2）式において、Avは増幅回路24の電圧ゲインを表し、R21は抵抗R21の抵抗値を表している。

スタQ31、Q37はともに飽和領域で動作する。この場合、トランジスタQ31とQ37とは直列に接続され



11

ているので、定電圧制御を行う差動増幅回路28と定電流制御を行う差動増幅回路29のうちベース電流をより制限する方の制御が支配的となる。

【0047】以上述べたように、本実施形態によれば、出力トランジスタQ21のベースラインに、定電圧制御するためのトランジスタQ31と定電流制御するためのトランジスタQ37とが直列に接続され、これら2つのトランジスタQ31、Q37は、互いに相手の制御を妨げることなく出力トランジスタQ21のベース電流を直接制御する。従って、出力トランジスタQ21のベース電流を制御する上で、無駄な電流（例えば図11に示す電圧レギュレータ11におけるトランジスタQ2のドレイン電流とトランジスタQ1のベース電流との差電流）を流す必要がなくなり、電圧レギュレータ21の効率を高めることができる。

【0048】また、2つのトランジスタQ31、Q37は、それぞれ差動増幅回路28から出力される電圧誤差信号、差動増幅回路29から出力される電流制限信号により独立して制御されるので、これら電圧誤差信号と電流制限信号とを合成する回路（例えば図10に示すモード切替回路10）が不要となる。これにより、電圧または電流のフィードバックループ内に存在するトランジスタを減らすことができるので、位相遅れが小さくなり、電圧レギュレータ21の安定性を高めることができる。

【0049】さらに、電圧レギュレータ21は、オペアンプ26、27とは別に出力トランジスタQ21を備えているので、この出力トランジスタQ21のサイズに応じて比較的大きな出力電流I<sub>o</sub>を流し出すことができる。特に、出力トランジスタQ21をICの外部に設ける構成とすることにより、電圧レギュレータ21は、より大きな出力電流I<sub>o</sub>を流し出すことが可能となる。

【0050】（第2の実施形態）次に、上述した第1の実施形態を変形した第2の実施形態について、電圧レギュレータの電氣的構成を示す図5を参照しながら説明する。なお、図5において図1と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【0051】図5に示す電圧レギュレータ39において、電源入力端子22と出力トランジスタQ21のエミッタとの間に電流検出抵抗に相当する抵抗R29が接続され、出力トランジスタQ21のコレクタは電源出力端子23に接続されている。また、バッテリー電圧V<sub>b</sub>が印加される電源入力端子22と電源端子31との間には、抵

$$I_1 = V_b / R_{29} \times (R_{30} / (R_{30} + R_{31})) \quad \dots (3)$$

【0056】この(3)式から分かるように、バッテリー電圧V<sub>b</sub>が変動した場合における指令制限電流I<sub>1</sub>の変動分は、トランジスタQ38のゲートに一定の基準電圧V<sub>ref3</sub>を与えた場合と比較して、R<sub>30</sub> / (R<sub>30</sub> + R<sub>31</sub>) 倍に低減される。これにより、バッテリー電圧V<sub>b</sub>が変動しても、過電流保護レベルをほぼ一定に保つこと

12

抗R<sub>30</sub>、R<sub>31</sub>からなる分圧回路40（抵抗分圧回路に相当）が接続されている。この分圧回路40の分圧点には、指令制限電流I<sub>1</sub>に相当する基準電圧V<sub>ref3</sub>が生成される。

【0052】過負荷時に定電流制御を行うためのオペアンプ41は、トランジスタQ38～Q46からなる差動増幅回路42（第2の増幅回路に相当）と、この差動増幅回路42により制御されるトランジスタQ37とから構成されている。ここで、差動増幅回路42を構成するトランジスタQ38～Q46は、それぞれ差動増幅回路28を構成するトランジスタQ22～Q30に対応しており、両者は同じ構成となっている。この図5においても、オペアンプ26、41の位相補償回路は省略されている。

【0053】トランジスタQ38のゲートは、上記分圧回路40の分圧点に接続され、トランジスタQ39のゲートは、抵抗R29と出力トランジスタQ21のエミッタとの共通接続点に接続されている。また、トランジスタQ46のゲートは、バイアス電圧V<sub>BIAS1</sub>が与えられる端子36に接続されている。これらオペアンプ26、41の正側の電源線43は電源入力端子22に接続されており、オペアンプ26、41はバッテリー電圧V<sub>b</sub>の供給を受けて動作するようになっている。

【0054】上記構成を持つ電圧レギュレータ39は、第1の実施形態で説明した電圧レギュレータ21と同様にして動作し、第1の実施形態と同様の効果を得ることができる。この他、電圧レギュレータ39は以下のような特徴を有している。すなわち、差動増幅回路42は電源入力端子22を正側の基準電位として動作し、抵抗R29には電源入力端子22を基準電位として出力電流I<sub>o</sub>に比例した電圧が検出される。このため、抵抗R29による検出電圧をトランジスタQ39のゲートに直接入力することができ、電圧レギュレータ21において必要とされた増幅回路24を省くことができる。これにより、増幅回路24により生じる位相遅れがなくなり、過負荷時における定電流制御の安定性を高めることができる。

【0055】また、トランジスタQ38のゲートには、電源入力端子22の電圧を分圧回路40により分圧して得られる基準電圧V<sub>ref3</sub>が与えられている。この場合、指令制限電流I<sub>1</sub>は、次の(3)式に示すようになる。ここで、R29、R30、R31は、それぞれ抵抗R29、R30、R31の抵抗値を表している。

ができる。

【0057】（第3の実施形態）次に、本発明の第3の実施形態について、電圧レギュレータの電氣的構成を示す図6を参照しながら説明する。なお、図6において図1と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

13

【0058】図6に示す電圧レギュレータ44において、NPN型のトランジスタQ47（駆動用トランジスタに相当）は、出力トランジスタQ21を駆動するためのものである。そのコレクタとエミッタは、それぞれ出力トランジスタQ21のベースと電源線33に接続されており、そのベース・エミッタ間には抵抗R32が接続されている。トランジスタQ21、Q47および抵抗R21、R32は、電源ICに対して外付けする構成となっている。

【0059】電圧レギュレータ44は、出力トランジスタQ21を制御するために、定電圧制御用のオペアンプ45と定電流制御用のオペアンプ46とを備えている。オペアンプ45は、トランジスタQ48～Q56からなる差動増幅回路47（第1の増幅回路に相当）と、この差動増幅回路47により制御されるトランジスタQ57（第1のトランジスタに相当）とから構成されている。また、オペアンプ46は、トランジスタQ58～Q66からなる差動増幅回路48（第2の増幅回路に相当）と、この差動増幅回路48により制御されるトランジスタQ67（第2のトランジスタに相当）とから構成されている。

【0060】トランジスタQ57とQ67とは同じ導電型（ここではPチャネル型）であって、電源線32とトランジスタQ47のベースとの間に直列に接続されている。トランジスタQ48～Q56からなる差動増幅回路47は、第1の実施形態に示す差動増幅回路28において各トランジスタQ22～Q30の導電型を反転させるとともに電源線32と33に対する接続関係を反転させた構成となっている。差動増幅回路48も差動増幅回路47と同一の構成となっている。

【0061】オペアンプ45において、トランジスタQ48のゲートは、指令出力電圧V1に相当する基準電圧Vref4が与えられる端子49に接続され、トランジスタQ49のゲートは、分圧回路35の分圧点に接続されている。また、トランジスタQ57のゲートは、差動増幅回路47の出力ノードつまりトランジスタQ53とQ55の各ドレインの共通接続点に接続されているとともに、位相補償回路を構成するコンデンサC21と抵抗R33との直列回路を介して電源出力端子23に接続されている。

【0062】同様に、オペアンプ46において、トランジスタQ58のゲートは、指令制限電圧I1に相当する基準電圧Vref2が与えられる端子37に接続され、トランジスタQ59のゲートは、増幅回路24の出力端子に接続されている。また、トランジスタQ67のゲートは、差動増幅回路48の出力ノードつまりトランジスタQ63とQ65の各ドレインの共通接続点に接続されているとともに、位相補償回路を構成するコンデンサC22と抵抗R34との直列回路を介して電源出力端子23に接続されている。なお、トランジスタQ56とQ66

14

の各ゲートは、バイアス電圧VBIAS2が与えられる端子38に接続されている。

【0063】上記構成を持つ電圧レギュレータ44は、第1の実施形態で説明した電圧レギュレータ21と同様にして動作し、第1の実施形態と同様の効果を得ることができる。また、トランジスタQ57とQ67には、出力トランジスタQ21のベース電流（Q47のコレクタ電流）ではなく、さらにその $1/h_{FE}$ の大きさを持つトランジスタQ47のベース電流が流れるので、これらトランジスタQ57とQ67とに流れる電流はより小さくなる。その結果、IC化された電圧レギュレータ44は、トランジスタQ57とQ67のトランジスタサイズが小さくても、大きな出力電流Ioを流し出すことができる。

【0064】また、上述した第1または第2の各実施形態とは異なり、トランジスタQ57のドレインの電圧は、電源入力端子22に印加される電圧にかかわらず常にトランジスタQ47のベース・エミッタ間電圧（約0.7V）となる。従って、トランジスタQ57、Q67を高耐圧化する必要がなくなり、通常のCMOSLSI工程での製造が可能となるため、製造コストを上げることなくIC化が可能となる。

【0065】（第4の実施形態）次に、上述した第3の実施形態を変形した第4の実施形態について、電圧レギュレータの電氣的構成を示す図7を参照しながら説明する。この変形は、第1の実施形態を変形して第2の実施形態を得た場合と同様にして行われるもので、図7において図5または図6と同一構成部分には同一符号を付して示す。

【0066】図7に示す電圧レギュレータ50において、電源入力端子22と出力トランジスタQ21のエミッタとの間に抵抗R29が接続され、出力トランジスタQ21のコレクタは電源出力端子23に接続されている。また、電源入力端子22と電源端子31との間には分圧回路40が接続され、その分圧点には指令制限電流I1に相当する基準電圧Vref3が生成される。

【0067】過負荷時に定電流制御を行うためのオペアンプ51は、トランジスタQ68～Q72からなる差動増幅回路52（第2の増幅回路に相当）と、この差動増幅回路52により制御されるトランジスタQ67とから構成されている。差動増幅回路52は、第1の実施形態に示す差動増幅回路29において各トランジスタQ32～Q36の導電型を反転させるとともに電源線32と33に対する接続関係を反転させた構成となっている。

【0068】ここで、トランジスタQ68のゲートは、分圧回路40の分圧点に接続され、トランジスタQ69のゲートは、抵抗R29と出力トランジスタQ21のエミッタとの共通接続点に接続されている。また、トランジスタQ72のゲートは、バイアス電圧VBIAS1が与えられる端子36に接続されている。

15

【0069】本実施形態の電圧レギュレータ50は、第3の実施形態で説明した電圧レギュレータ44と同様にして動作し、第3の実施形態と同様の効果を得ることができる。また、抵抗R29および分圧回路40について第2の実施形態で説明した電圧レギュレータ39と同様の構成を備えているので、第2の実施形態に特微的な効果も併せて得ることができる。

【0070】（第5の実施形態）次に、本発明の第5の実施形態について、電圧レギュレータの電氣的構成を示す図8を参照しながら説明する。この図8に示す電圧レギュレータ53は、定電流型の過電流保護機能を備えており、例えばエンジンを制御する電子制御装置内に設けられる電源ICとして構成されている。電源入力端子54と電源出力端子55との間には、同じ導電型（ここではPチャネル型）であってMOSトランジスタQ73、Q74と抵抗R35（電流検出抵抗に相当）とが直列に接続されている。抵抗R35の両端電圧は、この抵抗R35とともに電流検出回路を構成する増幅回路56に入力されるようになっている。

【0071】電圧レギュレータ53は、定電圧制御用のオペアンプ57と定電流制御用のオペアンプ58とを備えている。オペアンプ57は、トランジスタQ75～Q83からなる差動増幅回路59（第1の増幅回路に相当）と、この差動増幅回路59により制御される上記トランジスタQ73（第1のトランジスタに相当）とから構成されている。また、オペアンプ58は、トランジスタQ84～Q92からなる差動増幅回路60（第2の増幅回路に相当）と、この差動増幅回路60により制御される上記トランジスタQ74（第2のトランジスタに相当）とから構成されている。これらオペアンプ57、58は、電源入力端子54、電源端子61（グランド端子に相当）にそれぞれ接続された電源線62、63から電源電圧VDD（例えば5V）を得て動作するようになっている。

【0072】差動増幅回路59、60は、それぞれ図6に示す差動増幅回路47、48と同様の構成を有している。そして、トランジスタQ75のゲートは、指令出力電圧V1に相当する基準電圧Vref5が与えられる端子64に接続されている。また、電源出力端子55と電源線63との間には、抵抗R36、R37の直列回路からなる分圧回路65（電圧検出回路および抵抗分圧回路に相当）が接続されており、上記トランジスタQ76のゲートは、この分圧回路65の分圧点に接続されている。さらに、トランジスタQ84のゲートは、指令制限電流I1に相当する基準電圧Vref6が与えられる端子66に接続され、トランジスタQ85のゲートは増幅回路56の出力端子に接続されている。

【0073】なお、トランジスタQ83、Q92のゲートは、バイアス電圧VBIAS3が与えられる端子67に接続されており、トランジスタQ73、Q74のドレイン

16

・ゲート間には、それぞれ抵抗R38とコンデンサC23とからなる位相補償回路、抵抗R39とコンデンサC24とからなる位相補償回路が接続されている。

【0074】この電圧レギュレータ53では、トランジスタQ73、Q74自体が出力トランジスタとして機能する。すなわち、電源出力端子55から出力される出力電流I<sub>o</sub>は、電源入力端子54からトランジスタQ73、Q74を介して流れる。

【0075】電源出力端子55に接続された負荷の抵抗値RLが抵抗値R1よりも大きい場合（通常動作の場合）、差動増幅回路59は、トランジスタQ73を制御することによって、出力電圧V<sub>o</sub>が指令出力電圧V1に等しくなるように定電圧制御を行う。この時、出力電流I<sub>o</sub>が指令制限電流I1よりも小さくなるので、トランジスタQ74は十分なオン状態となっている。

【0076】一方、負荷の抵抗値RLが抵抗値R1よりも小さい場合（過負荷状態の場合）、差動増幅回路60は、トランジスタQ74を制御することによって、出力電流I<sub>o</sub>が指令制限電圧I1に等しくなるように定電流制御を行う。この時、出力電圧V<sub>o</sub>が指令出力電圧V1よりも小さくなるのでトランジスタQ73は十分なオン状態となっている。

【0077】このように、本実施形態の電圧レギュレータ53も、トランジスタQ73、Q74が出力電流I<sub>o</sub>を直接制御する点を除いて、第1の実施形態で説明した電圧レギュレータ21と同様に動作する。従って、本実施形態によっても第1の実施形態と同様の効果を得ることができる。

【0078】（第6の実施形態）次に、上述した第5の実施形態を変形した第6の実施形態について、電圧レギュレータの電氣的構成を示す図9を参照しながら説明する。なお、図9において図8と同一構成部分には同一符号を付して示し、ここでは異なる構成部分について説明する。

【0079】図9に示す電圧レギュレータ68において、電源入力端子54と電源出力端子55との間には、抵抗R40（電流検出抵抗に相当）と、互いに同じ導電型（ここではPチャネル型）であってMOSトランジスタQ93、Q94とが直列に接続されている。

【0080】電圧レギュレータ68は、定電圧制御用のオペアンプ69と定電流制御用のオペアンプ70とを備えている。オペアンプ69は、差動増幅回路59と、この差動増幅回路59により制御される上記トランジスタQ94（第1のトランジスタに相当）とから構成されている。ここで、トランジスタQ76のゲートは、電源出力端子55に接続され、トランジスタQ94のドレイン・ゲート間には、抵抗R41とコンデンサC25とからなる位相補償回路が接続されている。

【0081】一方、オペアンプ70は、トランジスタQ95～Q99からなる差動増幅回路71（第2の増幅回

50

17

路に相当)と、この差動増幅回路71により制御される上記トランジスタQ93(第2のトランジスタに相当)とから構成されている。差動増幅回路71は、図7に示す差動増幅回路52と同様の構成を備えている。ここで、トランジスタQ95のゲートは端子66に接続され、トランジスタQ96のゲートは抵抗R40とトランジスタQ93のソースとの共通接続点に接続されている。また、トランジスタQ99のゲートは、バイアス電圧VBIAS4が与えられる端子72に接続され、トランジスタQ93のドレイン・ゲート間には、抵抗R42とコンデンサC26とからなる位相補償回路が接続されている。

【0082】本実施形態の電圧レギュレータ68は、第5の実施形態で説明した電圧レギュレータ53と同様に動作し、第5の実施形態と同様の効果を得ることができる。また、差動増幅回路71は電源入力端子54を正側の基準電位として動作し、抵抗R40には電源入力端子54を基準電位として出力電流I<sub>o</sub>に比例した電圧が検出される。このため、抵抗R40による検出電圧をトランジスタQ96のゲートに直接入力することができ、電圧レギュレータ53において必要とされた増幅回路56を省くことができる。その結果、増幅回路56により生じる位相遅れがなくなり、過負荷時における定電流制御の安定性を高めることができる。

【0083】(その他の実施形態)なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。各実施形態においてオペアンプ26、27、41、45、46、51、57、58、69、70をMOSトランジスタにより構成したが、バイポーラトランジスタにより構成しても良い。また、位相補償回路は、各実施形態に示した回路構成以外のものであっても良い。

【0084】第1および第2の実施形態において、トランジスタQ31とQ37の接続順序を入れ替えた構成、つまり出力トランジスタQ21のベースにトランジスタQ37のドレインを接続した構成としても良い。同様に、第3および第4の実施形態において、トランジスタQ57とQ67の接続順序を入れ替えた構成としても良い。さらに、第5の実施形態において、トランジスタQ73とQ74の接続順序を入れ替えた構成としても良い。

【0085】第1および第3の実施形態において、電源端子30と端子37との間および端子37と電源端子31との間にそれぞれ抵抗を接続して抵抗分圧回路を構成し、この抵抗分圧回路により基準電圧V<sub>ref2</sub>を生成するようにしても良い。同様に、第5および第6の実施形態において、電源入力端子54と端子66との間および端子66と電源端子61との間にそれぞれ抵抗を接続して抵抗分圧回路を構成し、この抵抗分圧回路により基準電圧V<sub>ref6</sub>を生成するようにしても良い。

18

【0086】各実施形態において、指令制限電流I<sub>1</sub>に相当する基準電圧V<sub>ref2</sub>、V<sub>ref3</sub>、V<sub>ref6</sub>を生成する場合、定電圧回路を用いることが好ましい。この定電圧回路は、例えば第2または第4の実施形態において、抵抗R30に替えて定電圧ダイオードを接続することにより構成される。この構成によれば、電源入力端子22と分圧回路40の分圧点との間の電圧が一定になるので、バッテリー電圧V<sub>b</sub>の変動にかかわらず指令制限電流I<sub>1</sub>を一定に保つことができる。

【0087】各差動増幅回路28、29、42、47、48、52、59、60、71において、本発明でいう第1または第2のトランジスタを十分に駆動するために、適宜レベルシフト回路を付加することが好ましい。例えば、第4の実施形態において、分圧回路40の分圧点とトランジスタQ68のゲートとの間、抵抗R29と出力トランジスタQ21のエミッタとの共通接続点とトランジスタQ69のゲートとの間に、それぞれソースフォロアを設ける構成とすれば良い。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す電圧レギュレータの電氣的構成図

【図2】電流検出回路を構成する増幅回路の電氣的構成図

【図3】電圧レギュレータの出力電圧ー出力電流特性を示す図

【図4】負荷の抵抗値R<sub>L</sub>に対する出力電圧V<sub>o</sub>およびトランジスタQ31、Q37のゲートの電圧を示す図

【図5】本発明の第2の実施形態を示す図1相当図

【図6】本発明の第3の実施形態を示す図1相当図

【図7】本発明の第4の実施形態を示す図1相当図

【図8】本発明の第5の実施形態を示す図1相当図

【図9】本発明の第6の実施形態を示す図1相当図

【図10】従来構成を示す電圧レギュレータの概略的な電氣的構成図

【図11】他の従来構成を示す電圧レギュレータの電氣的構成図

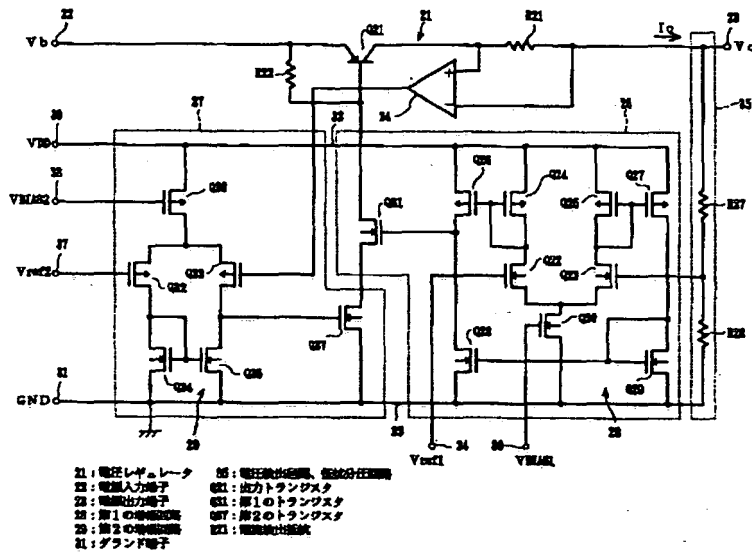
【図12】負荷の抵抗値R<sub>L</sub>に対する出力電圧V<sub>o</sub>、トランジスタQ2、Q8、Q14のドレイン電流I<sub>D</sub>およびトランジスタQ8、Q14のゲートの電圧を示す図

【符号の説明】

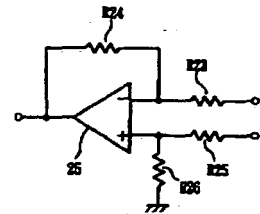
21、39、44、50、53、68は電圧レギュレータ、22、54は電源入力端子、23、55は電源出力端子、28、47、59は差動増幅回路(第1の増幅回路)、29、42、48、52、60、71は差動増幅回路(第2の増幅回路)、31、61は電源端子(グラウンド端子)、35、65は分圧回路(電圧検出回路、抵抗分圧回路)、40は分圧回路(抵抗分圧回路)、Q21は出力トランジスタ、Q31、Q57、Q73、Q94はトランジスタ(第1のトランジスタ)、Q37、Q67、Q74、Q93はトランジスタ(第2のトランジ

スタ)、Q47はトランジスタ(駆動用トランジスタ)である。  
 タ)、R21、R29、R35、R40は抵抗(電流検

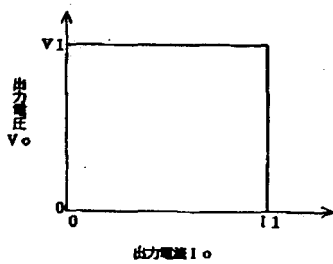
【図1】



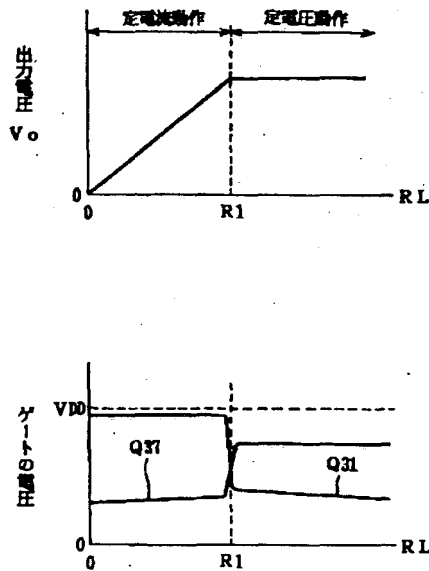
【図2】



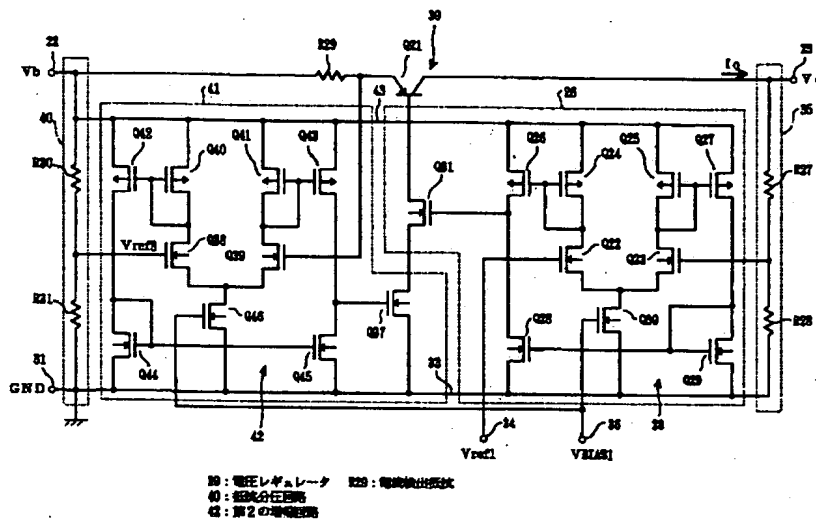
【図3】



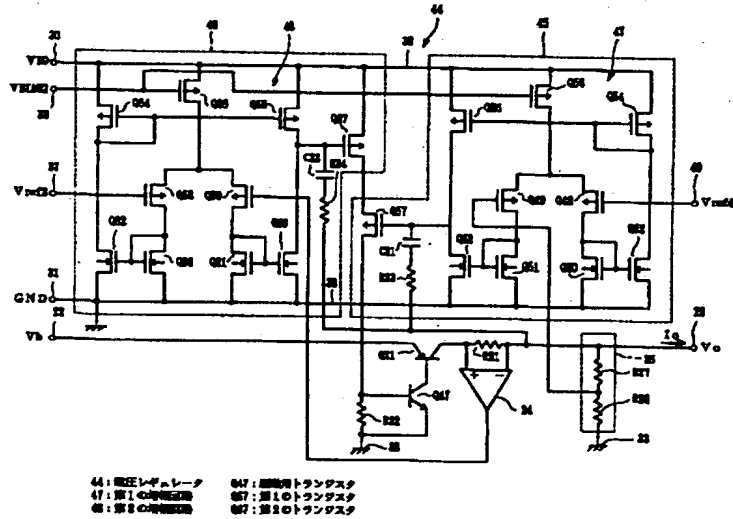
【図4】



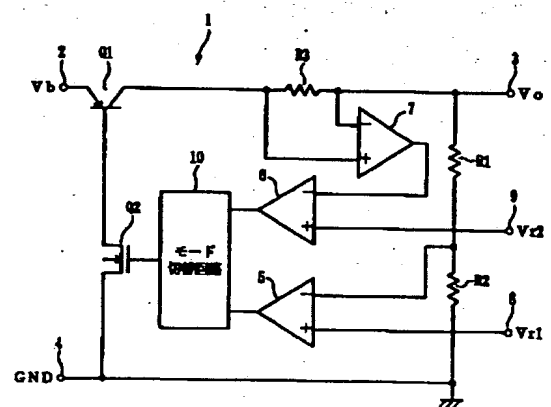
【図 5】



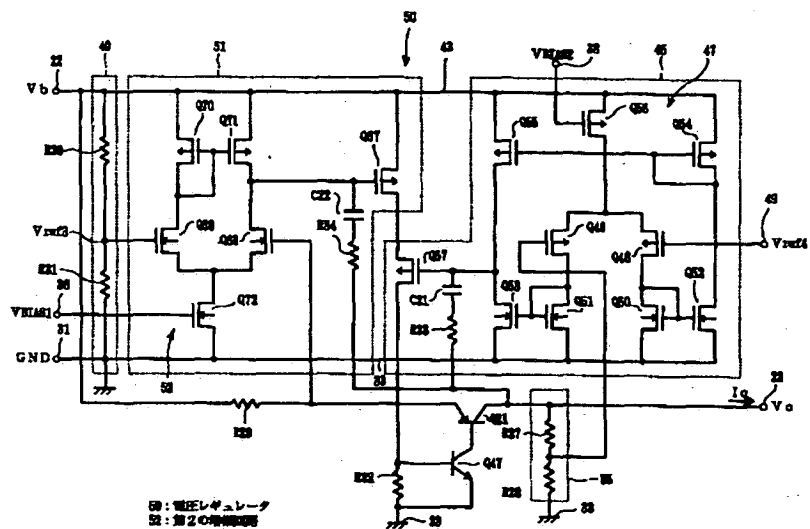
【図 6】



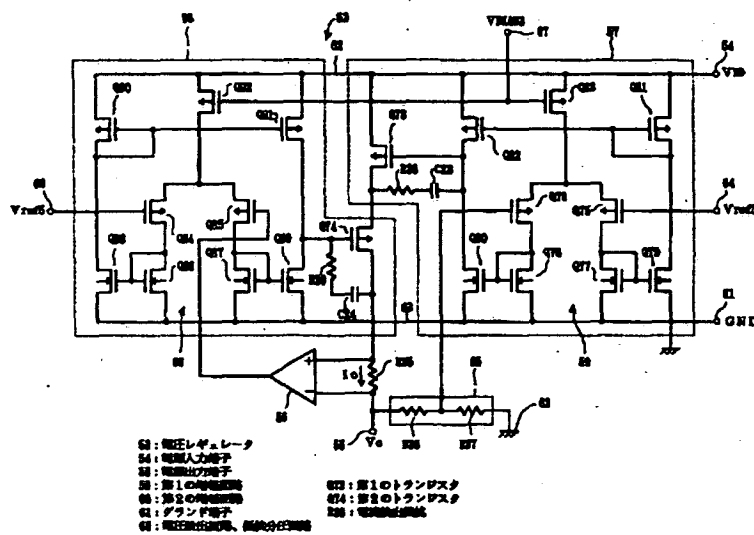
【図 10】



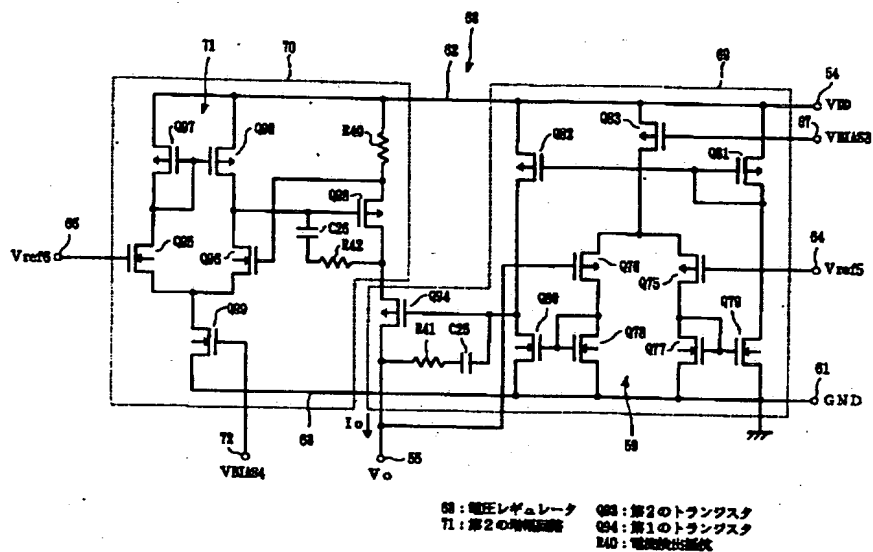
【図 7】



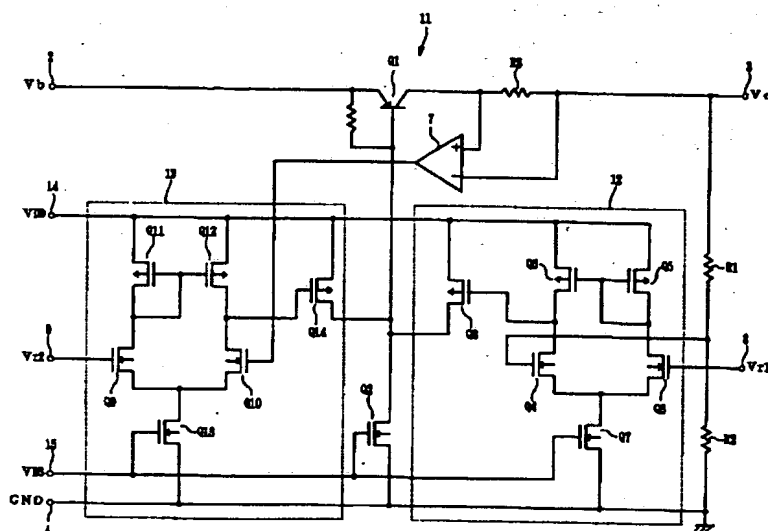
【図 8】



【図9】



【図11】





【図12】

